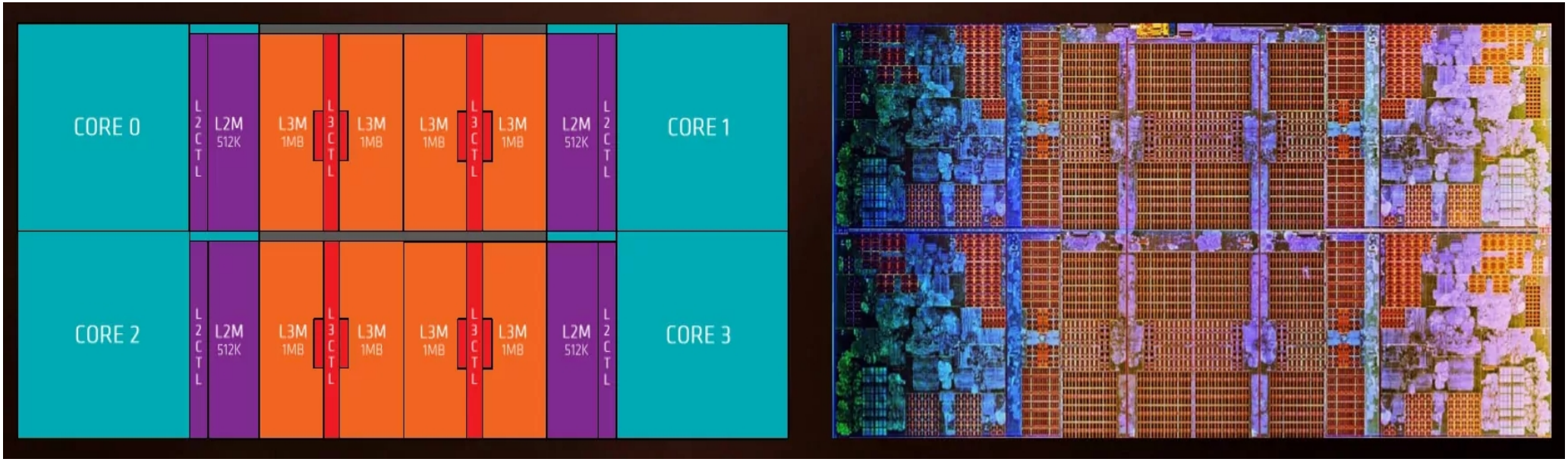
Pamięć

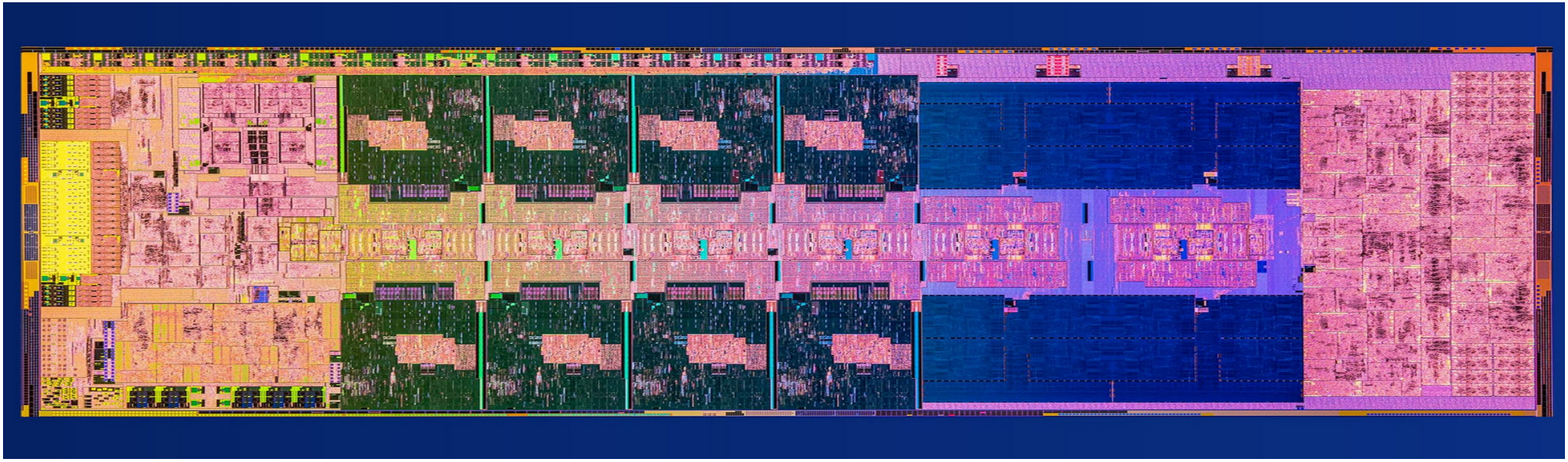
elementarne prawdy
podstawowe komponenty

AMD Threadreaper 1950X / ZEN

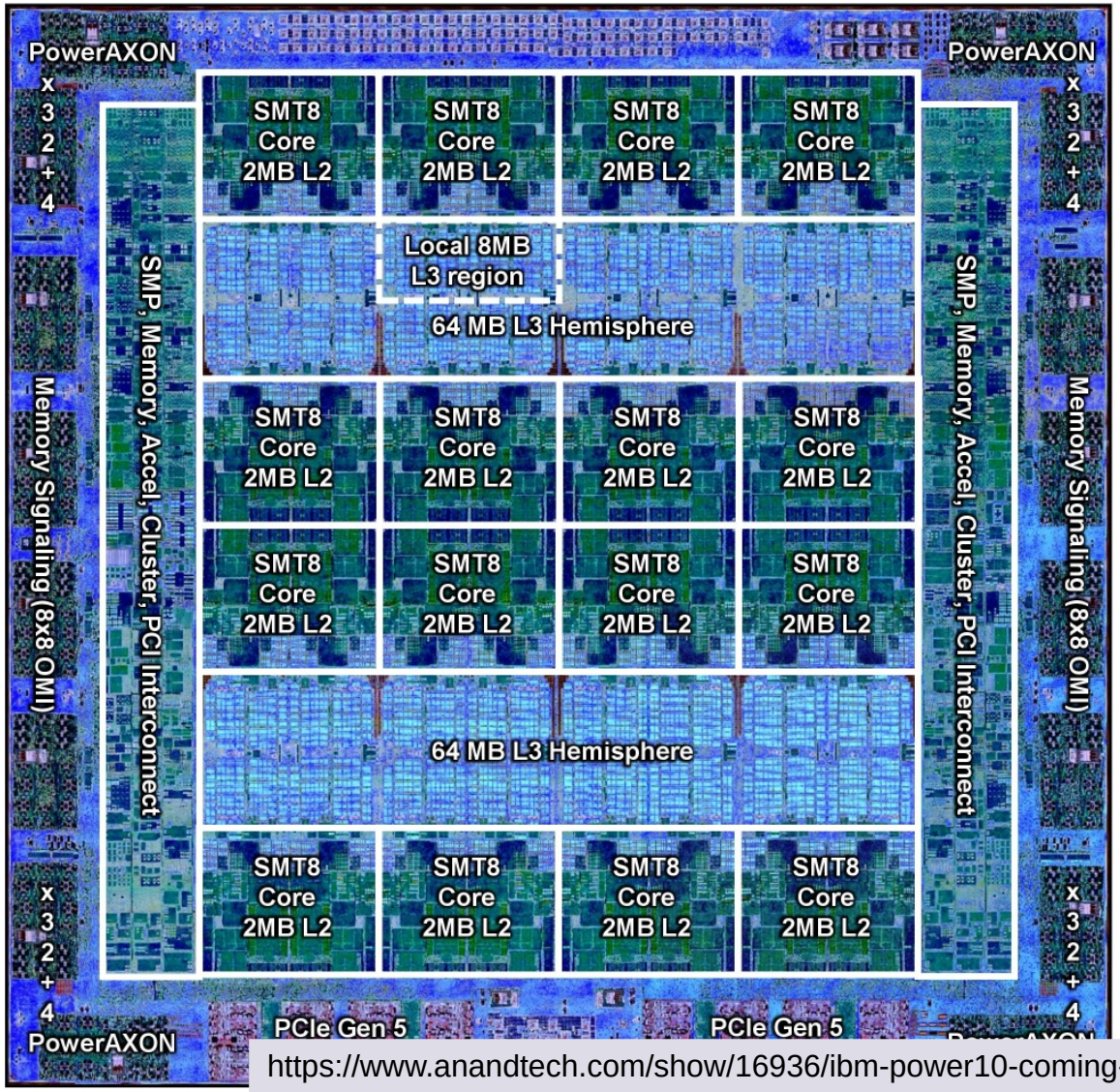


- 4 rdzenie
- L2 – 512kB/rdzeń
- L3 – 8MB – dzielone – dostępne dla innych CCX (core complex)

Intel 14 gen Raptor Lake Refresh



- i7-14701 – 8 rdzeni
- L2 – 2MB/rdzeń
- L3 – 33MB – dzielone

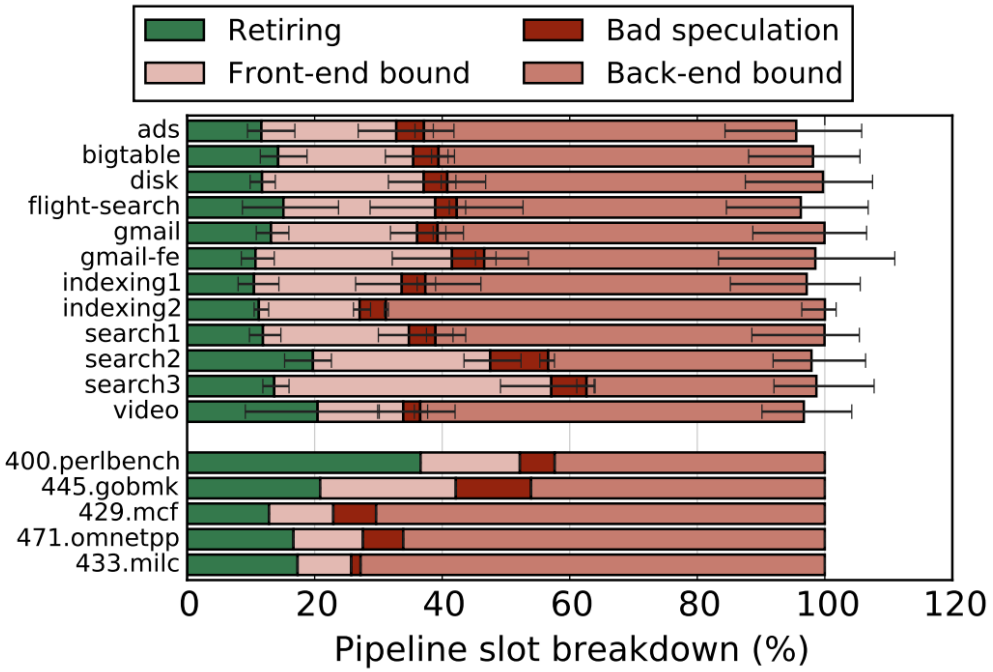


IBM Power10

- 8 rdzeni
- L2: 2MB/rdzeń
- L3: do 120MB
- przepustowość: 1 TB/s

https://www.anandtech.com/show/16936/ibm-power10-coming-to-market-e1080-for-frictionless-hybrid-cloud-experiences

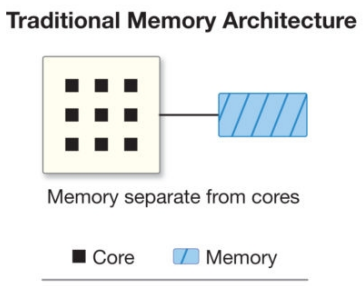
Pamięć jako zatykacz

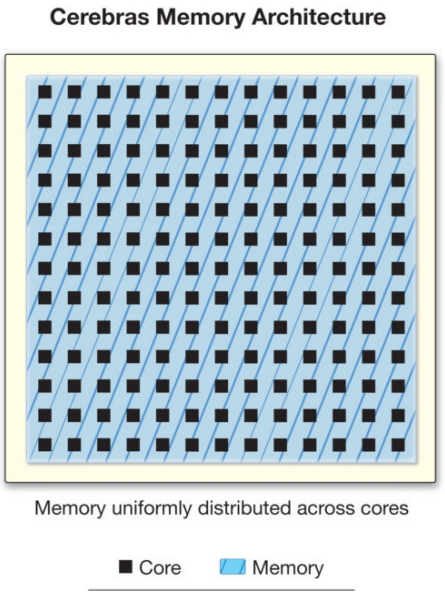


- Retiring – OK
- Bad speculation
  - predykcja skoków
- Front-end bound
  - pusty potok
  - instruction fetch, decode, ...
- Back-end bound
  - potok niegotowy na kolejną istrukcję
  - data hazard, ILP

Profiling a warehouse-scale computer, S. Kanev, J.P. Darago, K. Hazelwood, P. Ranganathan, T. Moseley, G-Y Wei, D. Brooks

Pamięć jako przyspieszacz





- 18 GB pamięci
- przepustowość: 9,6 PB
- powierzchnia: 46,2 mm^2
- 1,2 tryliona tranzystorów
- 400 000 rdzeni dla SI

https://cerebras.ai/chip/cerebras-wafer-scale-engine-why-we-need-big-chips-for-deep-learning/

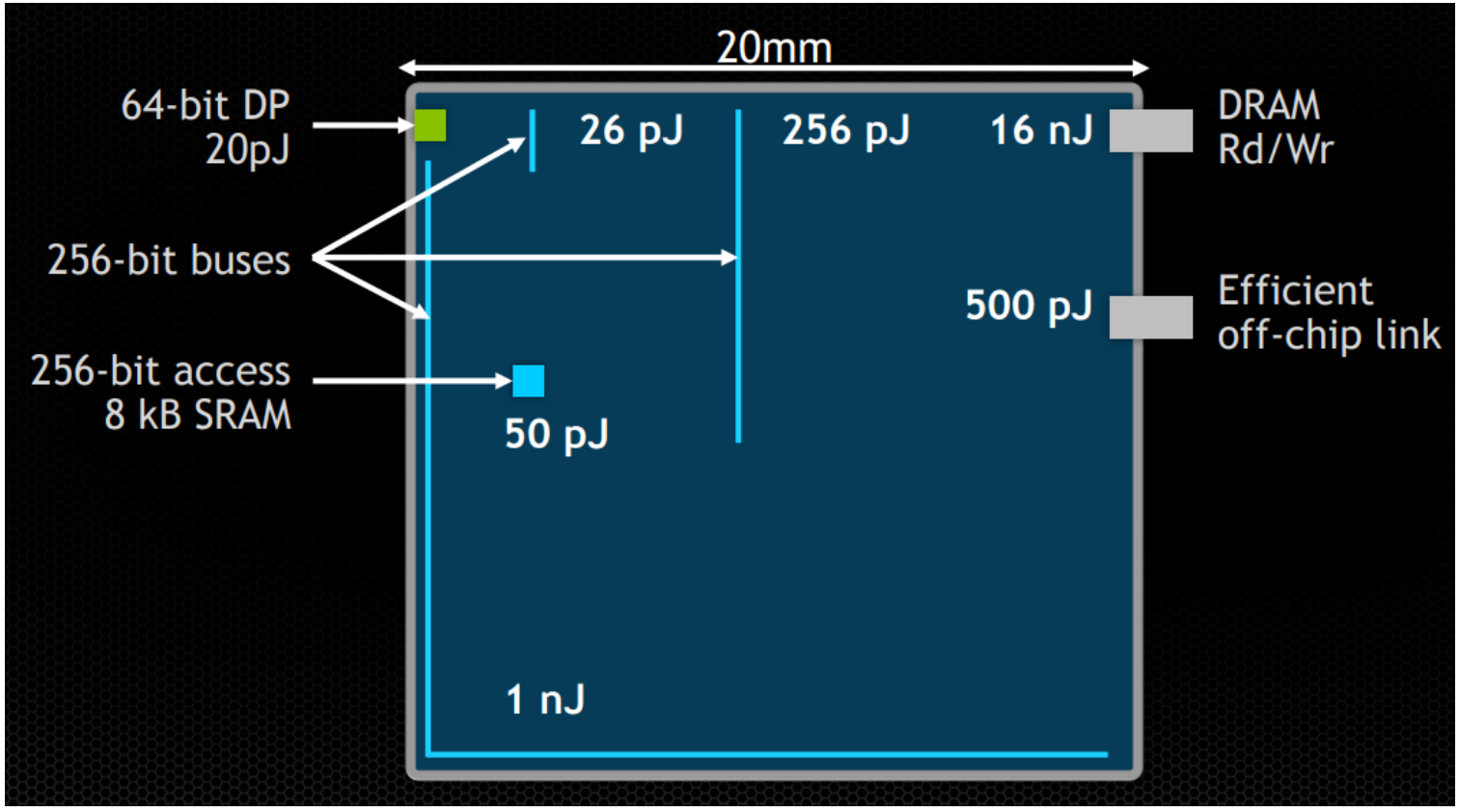
Pamięć jako pożeracz energii

ENERGY TABLE FOR 45NM CMOS PROCESS [9]. DRAM ACCESS USES THREE ORDERS OF MAGNITUDE MORE ENERGY THAN SIMPLE ARITHMETIC AND 128X MORE THAN SRAM.

Operation	Energy [pJ]	Relative Cost
32 bit int ADD	0.1	1
32 bit float ADD	0.9	9
32 bit int MULT	3.1	31
32 bit float MULT	3.7	37
32 bit 32KB SRAM	5	50
32 bit DRAM	**640**	**6400**

EIE: Efficient Inference Engine on Compressed Deep Neural Network: S. Han, X. Liu, H. Mao, J. Pu, A. Pedram, M.A. Horowitz, W.J. Dally

Pamięć jako pożeracz energii



Challenges for Future Computing Systems: Bill Dally, NVIDIA

Pamięć jako problem

- Sterowanie zapisem/odczytem w potoku
- Utrzymywanie kolejności zapisu w OoOX
- Dla poleceń SIMD: zwielokrotnione banki pam.
- Transfery GPU ↔ CPU
- …
- Ale jest nieodzownym elementem przetwarzania

Pamięć wymagana

- Sekwencjonowanie DNA, rozwój epidemii
- Symulacje klimatyczne, spalania, przepływu
- Modele językowe, sieci neuronowe
- Astronomia, astrofizyka
- Przetwarzanie wideo, bazy danych
- Analiza (big-)danych, przetwarzanie drzew/grafów
- ...

Możliwości przechowywania

- Przerzutniki/zatrzaski → rejestry
  - kilkanaście tranzystorów, szybkie!
- Statyczna pamięć RAM
  - kilka tranzystorów, dość szybkie
- Dynamiczna pamięć RAM
  - tranzystor+kondensator, wolne, upływne, produkcja...
- Dyski, taśmy, płyty, pen-drive
  - niski koszt na MB, bardzo wolne

Mechanika

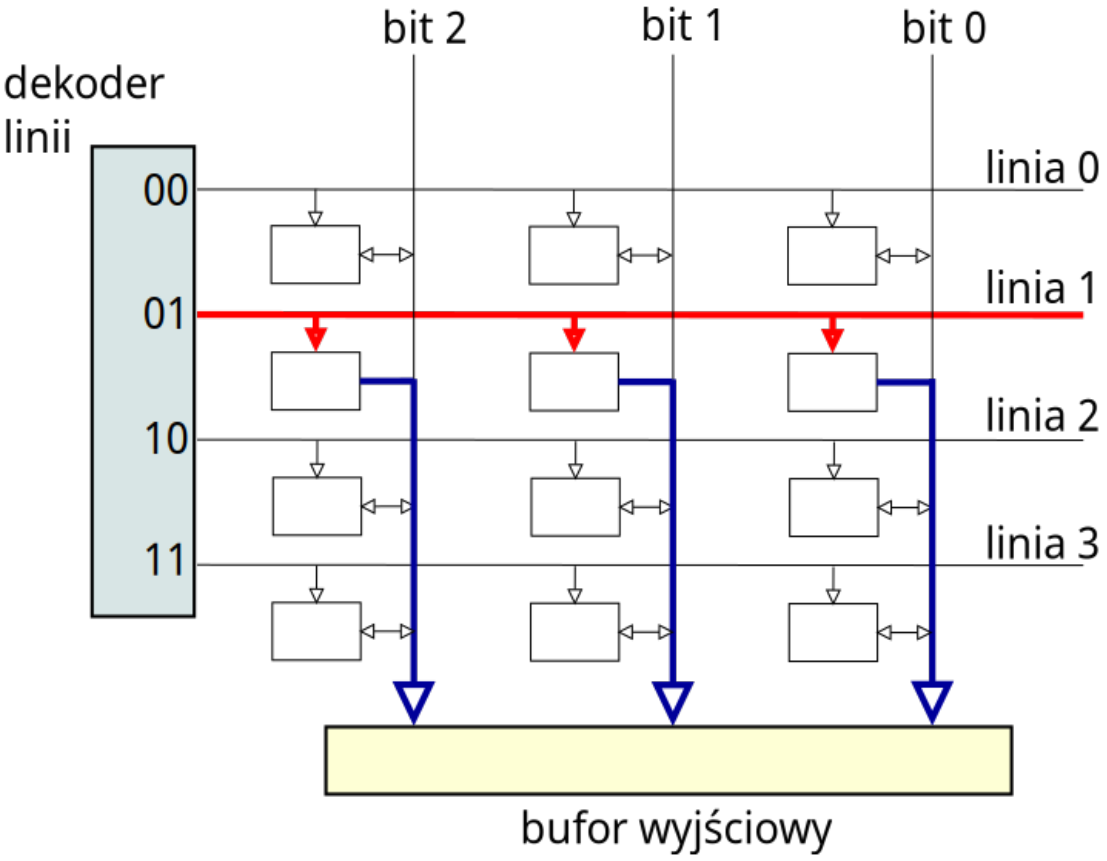
- Macierz do przechowywania danych
- Każdy wiersz adresowalny
- Każda kolumna adresowalna
- Układ do odczytu/interpretacji danych
- Układ do zapisu danych

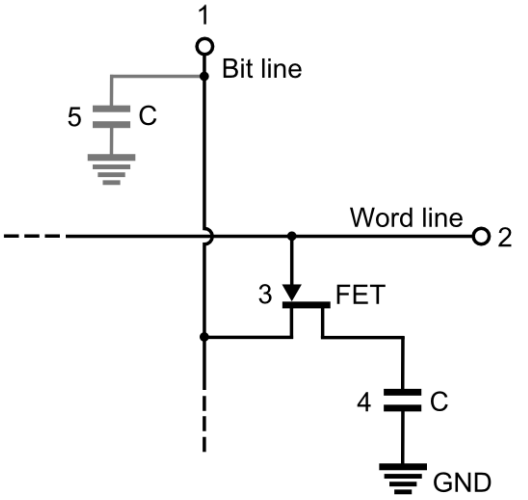
Adres	Dane		
11	1	1	0
10	1	1	0
01	0	1	0
00	1	1	1

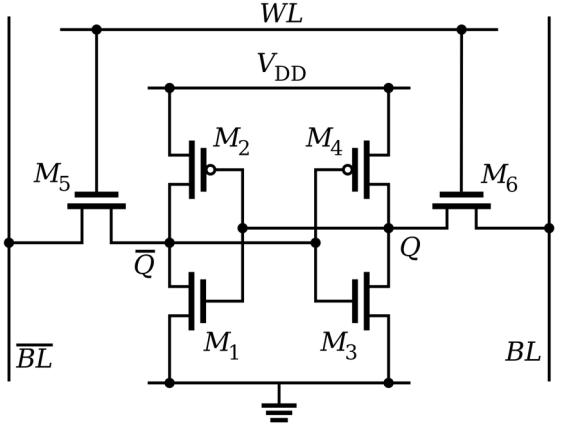
szerokość (słowa)

Adres	Dane						
1111111	1	1	0	1	1	0	1
1111110	0	1	0	1	1	1	0
1111101	0	0	0	0	0	1	0
...	0	0	0	0	0	1	0
...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...
...	1	1	1	0	1	1	1
...	0	1	0	0	0	0	0
0000010	0	0	1	1	0	1	1
0000001	1	0	1	1	1	0	0
0000000	1	1	0	1	0	1	1

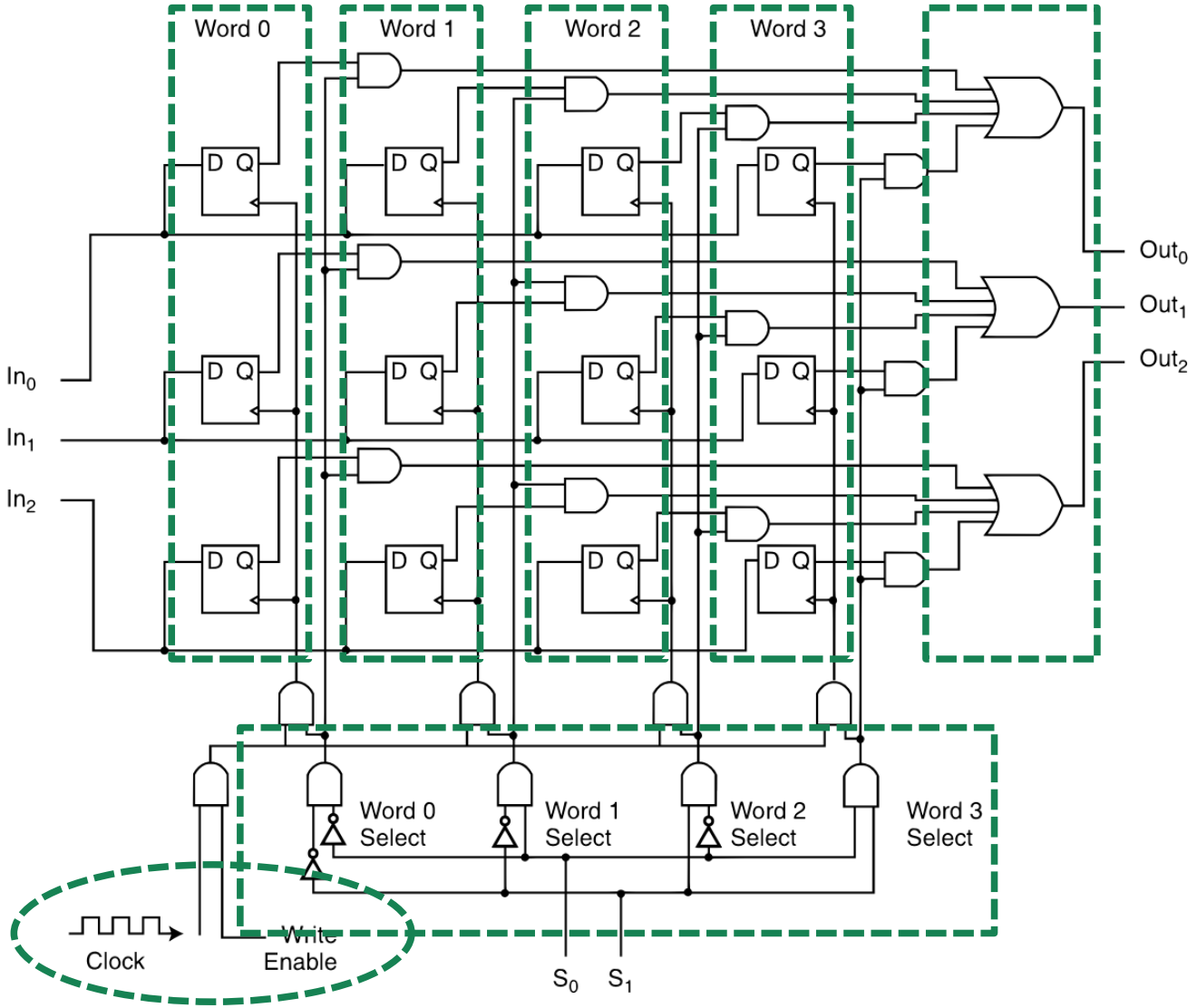
Dostęp do bitów



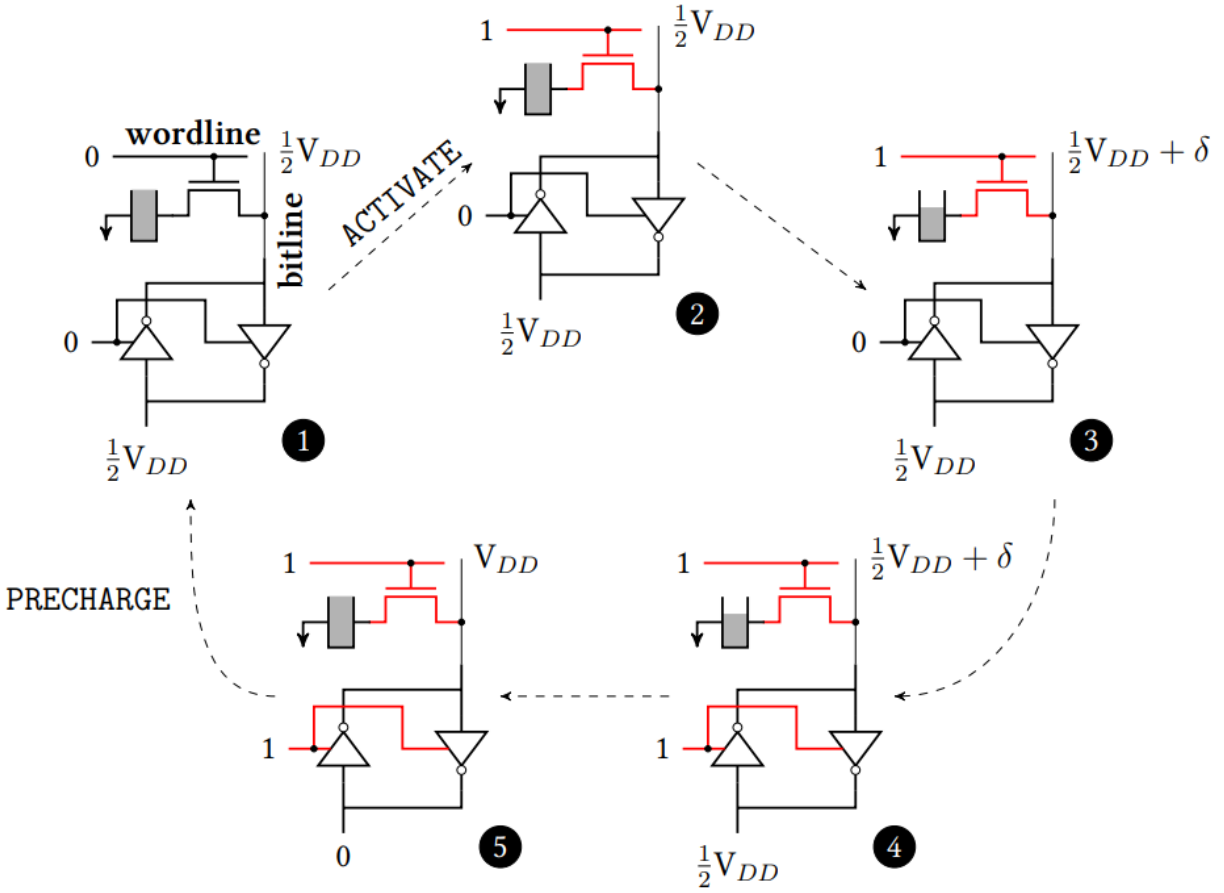




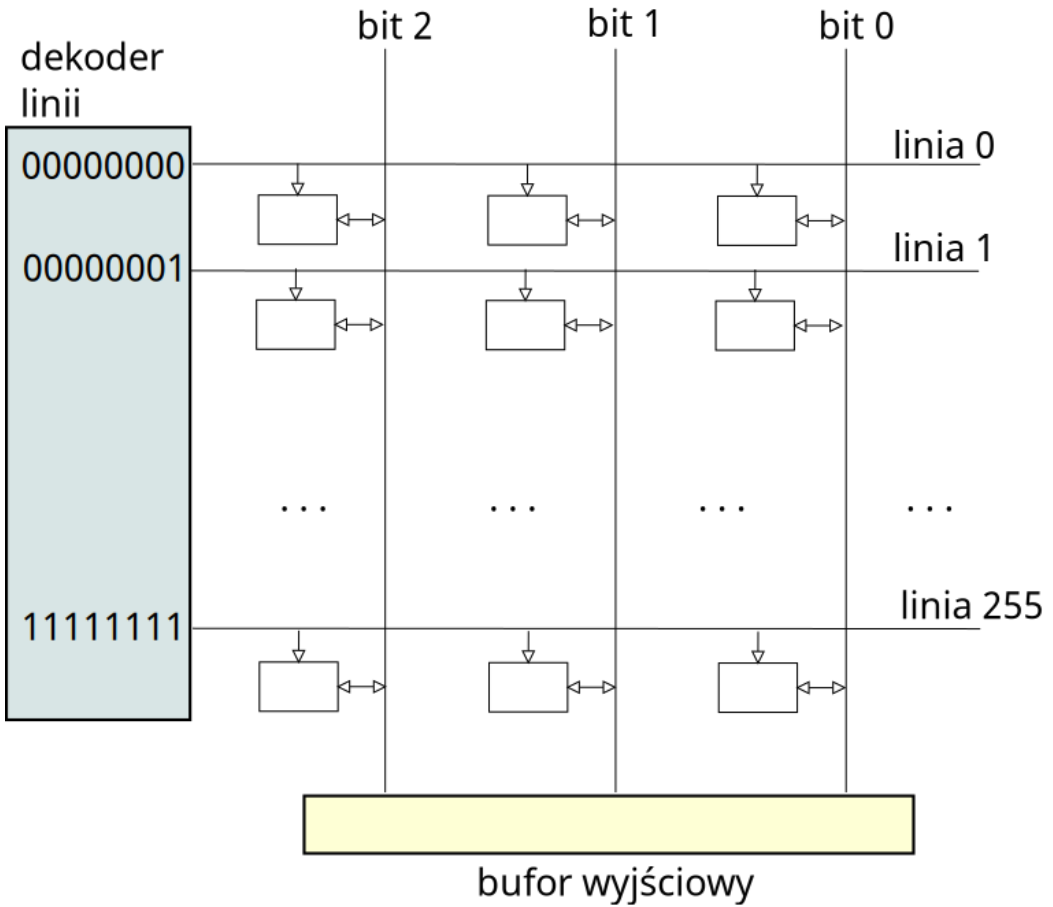
https://en.wikipedia.org/wiki/Memory_cell_(computing)


Word 0
Word 1
Word 2
Word 3
D Q
In0
In1
In2
Out0
Out1
Out2
Word 0 Select
Word 1 Select
Word 2 Select
Word 3 Select
Clock
Write Enable
S0
S1

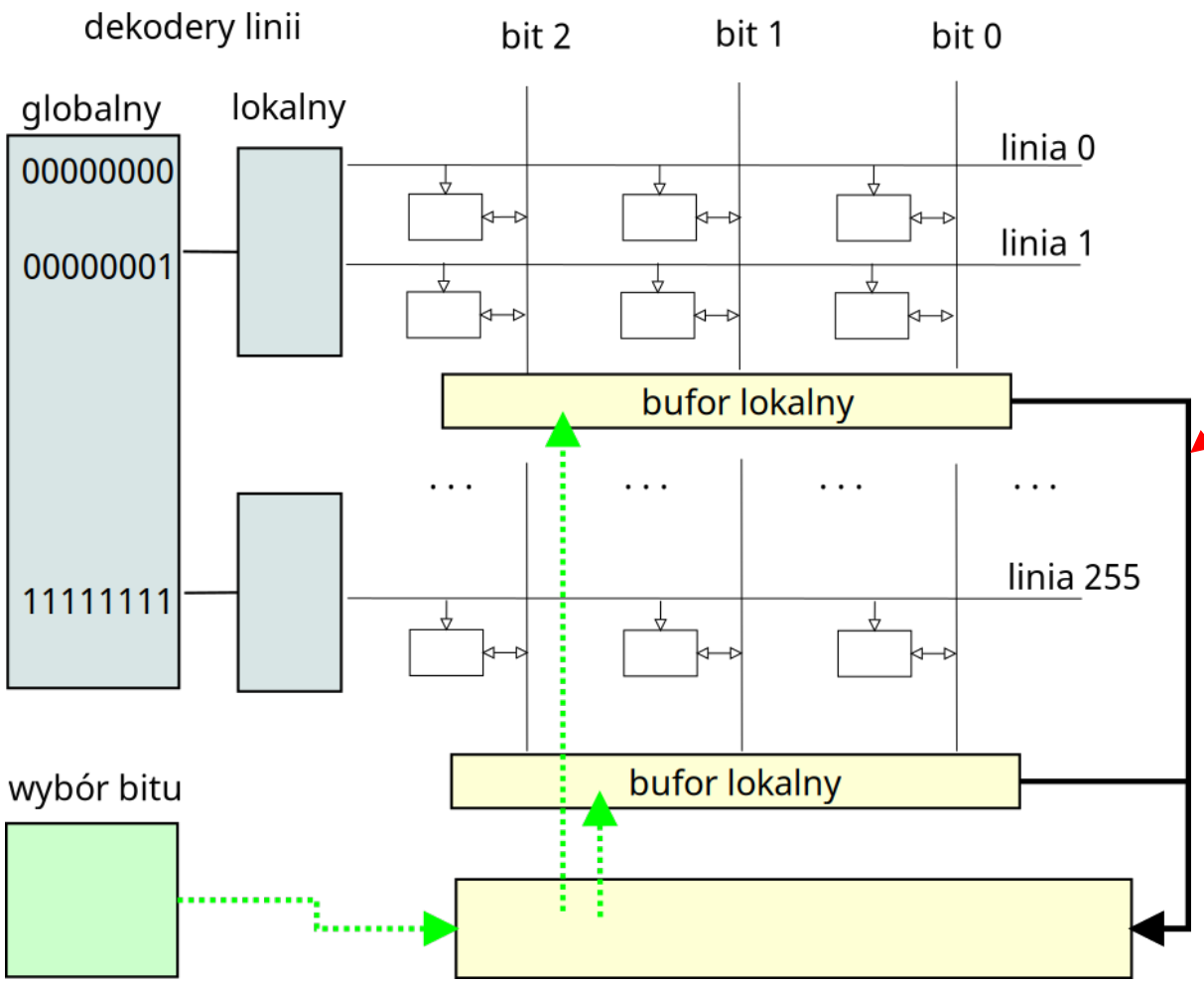
Odczyt bitu – wzmacniacze odczytu



In-DRAM Bulk Bitwise Execution Engine, V. Seshadri, O.Mutlu



robi się długie

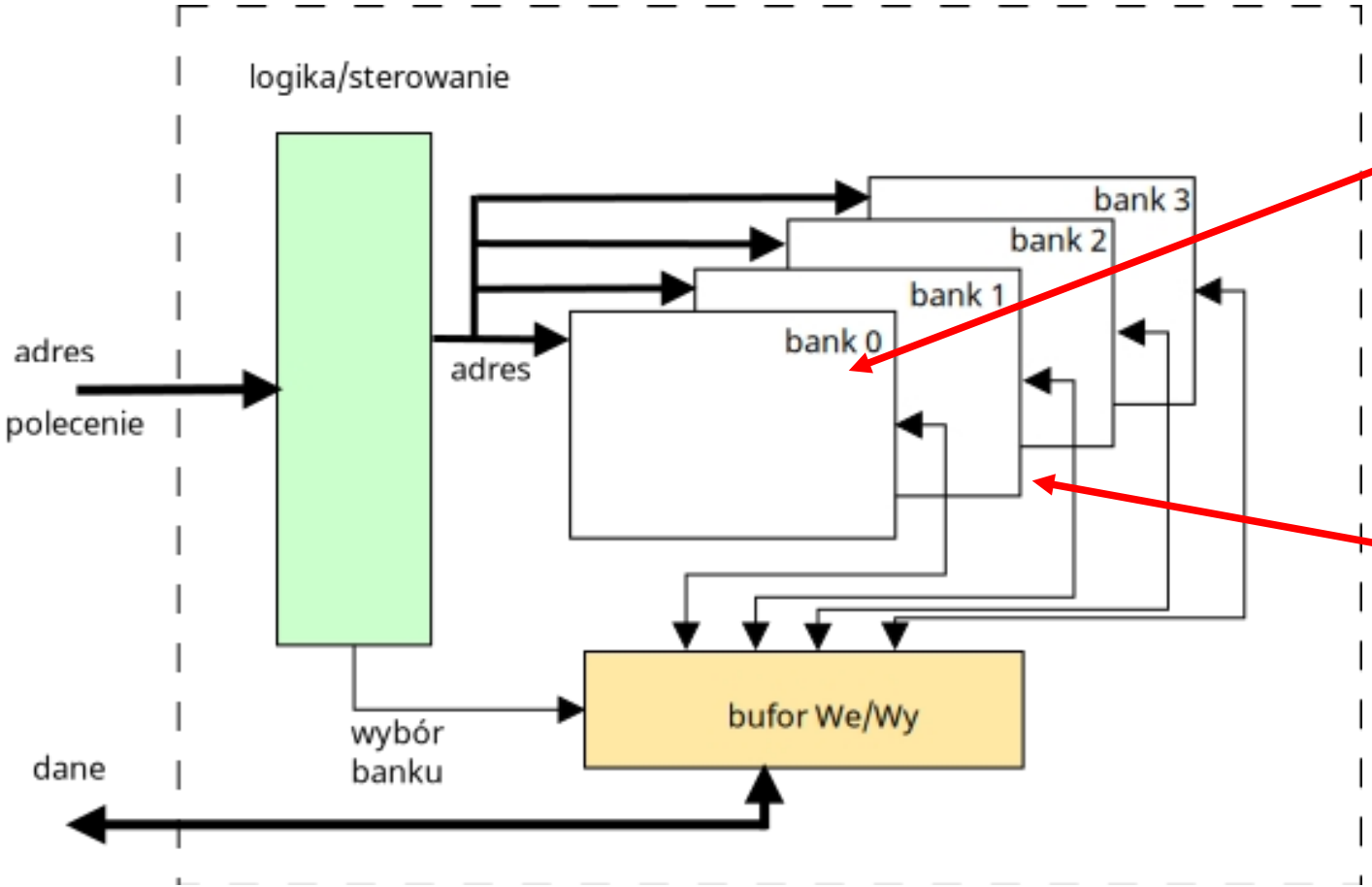


na innej warstwie grubsze

można też rozbudowywać „na szerokość”

no i mamy **bank**!

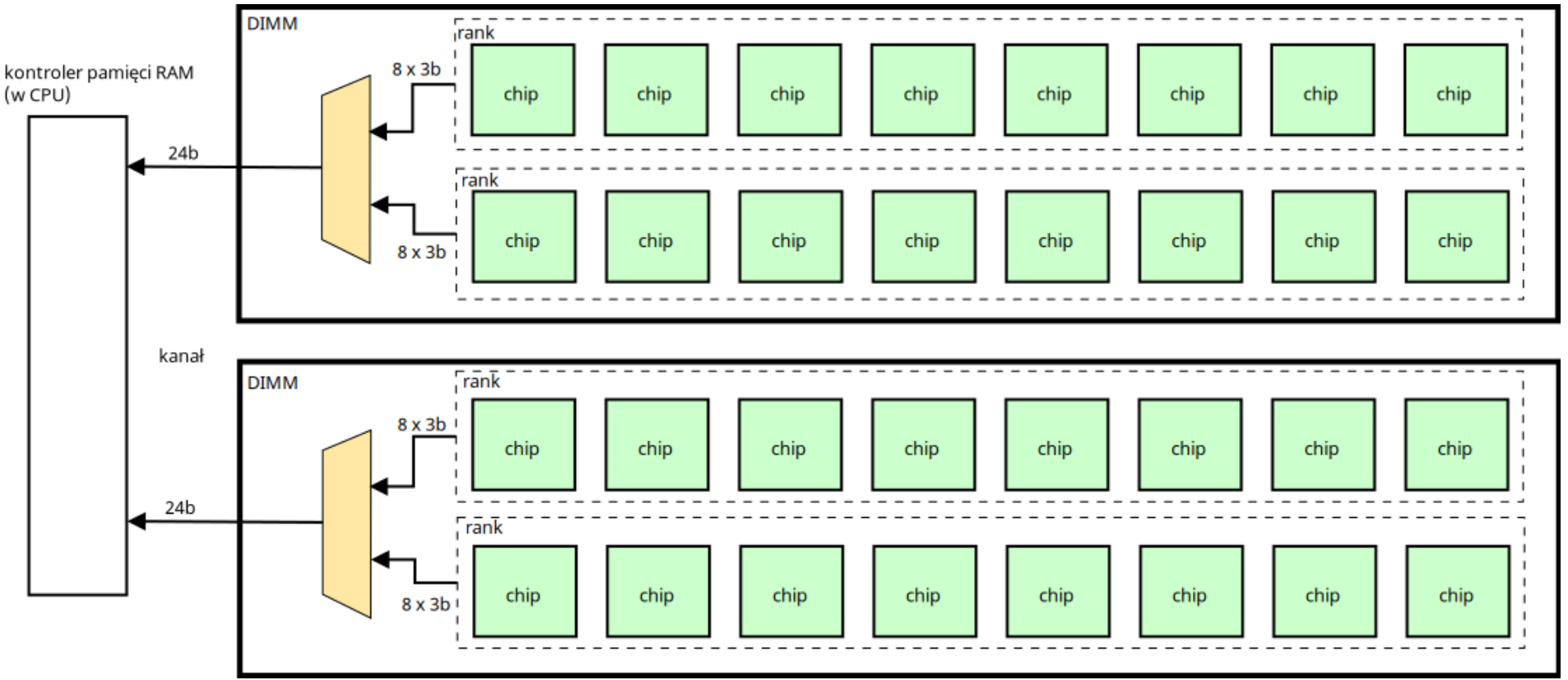
Banki składamy w chipy...

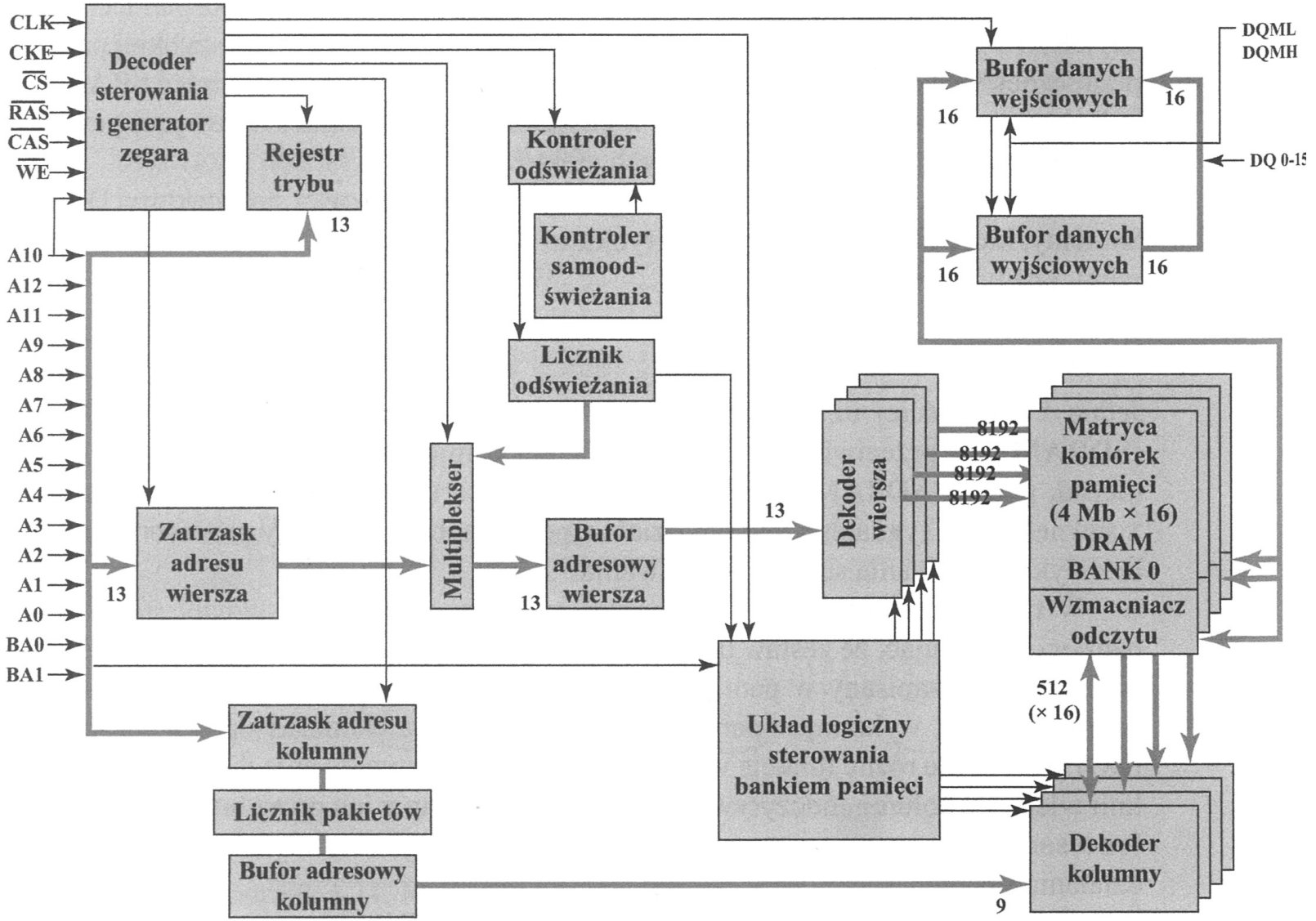


dostęp w linii
jednego banku szybki

multipleksowanie
banków to taki
„potok”

… i tak dalej


kontroler pamięci RAM
(w CPU)
24b
kanał
24b
DIMM
8 x 3b
8 x 3b
rank
rank
chip
DIMM
8 x 3b
8 x 3b
rank
rank
chip

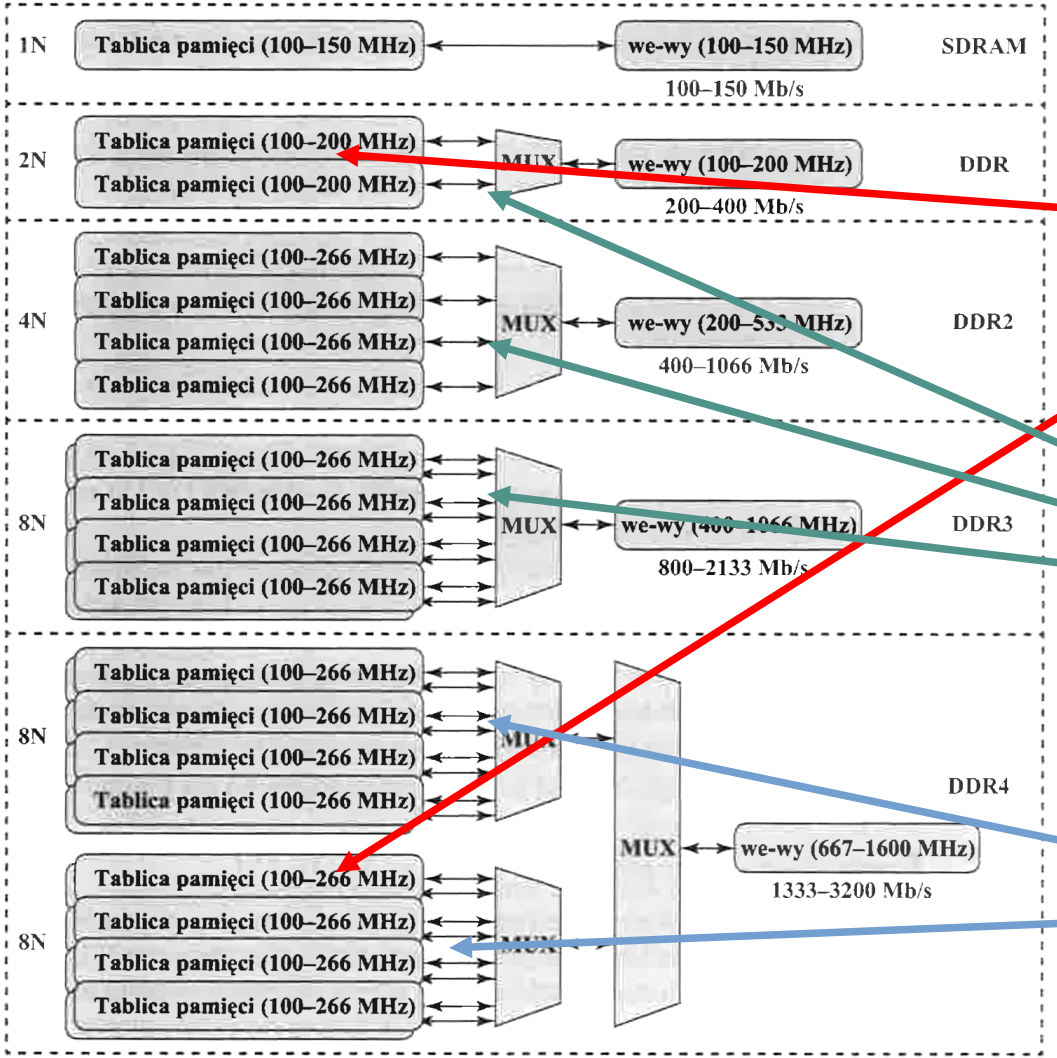

CLK
CKE
CS
RAS
CAS
WE
Decoder sterowania i generator zegara
Rejestr trybu
13
A10
A12
A11
A9
A8
A7
A6
A5
A4
A3
A2
A1
A0
BA0
BA1
Kontroler odświeżania
Kontroler samood-świeżania
Licznik odświeżania
Multiplekser
Zatrzask adresu wiersza
13
13
Bufor adresowy wiersza
13
Dekoder wiersza
8192
8192
8192
8192
Matryca komórek pamięci (4 Mb × 16) DRAM BANK 0
Wzmacniacz odczytu
512 (× 16)
Układ logiczny sterowania bankiem pamięci
Zatrzask adresu kolumny
Licznik pakietów
Bufor adresowy kolumny
9
Dekoder kolumny
Bufor danych wejściowych
16
16
DQML
DQMH
DQ 0-15
Bufor danych wyjściowych
16
16

Parametry DRAM

Czas dostępu	- od zaadresowania komórki do pojawienia się danych na Wy - kilka ns: 1/częstotl.
Czas latencji (CAS/CL)	- liczba cykli zegara między poleceniem odczytu a pojawieniem się danych - SDRAM – 3, DDR-SDRAM – 2,5 lub 2 (!)
RAS to CAS delay (RCD)	- liczba taktów między adresem wiersza a adresem kolumny
Row Precharge Time (RP)	- liczba taktów między zapisem/odczytem a przejściem do innego wiersza (przygotowanie)
Row Cycle (RC)	- czas dostępu do różnych wierszy w banku

Etapy DRAM

FPM DRAM	adresacja linii, potem poszczególnych komórek
EDO RAM	niezależny odczyt i wybór kolejnego wiersza
SDRAM	synchroniczny z głównym zegarem praca pakietowa (burst): od-do banki, niezależny dostęp „na zakładkę”
DDR	synchronizacja na obu zboczach zegara niższe napięcie (2,5 V)
DDR2	przesyłane 4 bity na takt niższe napięcie (1,8 V) 240 pinów
DDR3	8 bitów na takt technologia 90 nm, napięcie 1,5 V
DDR4	proces 32/36 nm, napięcie 1,1 – 1,2 V 288 pinów
DDR5	32 banki, większa długość pakietu (16 B), jednoczesne odświeżenie i działanie na banku ECC na pokładzie, układy 3D



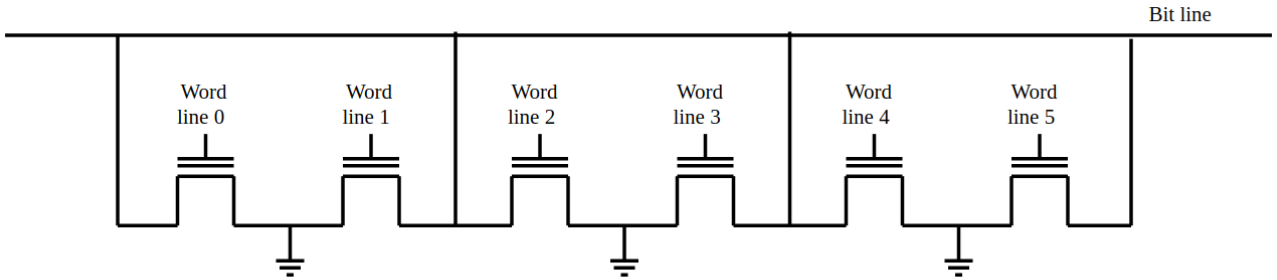
zegary rdzenia DDR nie przyspieszają...

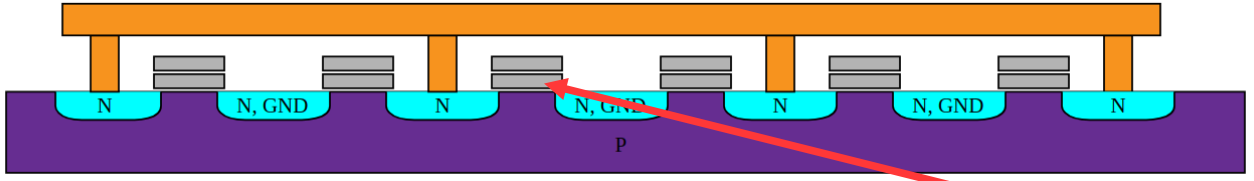
zwiększa się liczba buforowanych bitów w bankach

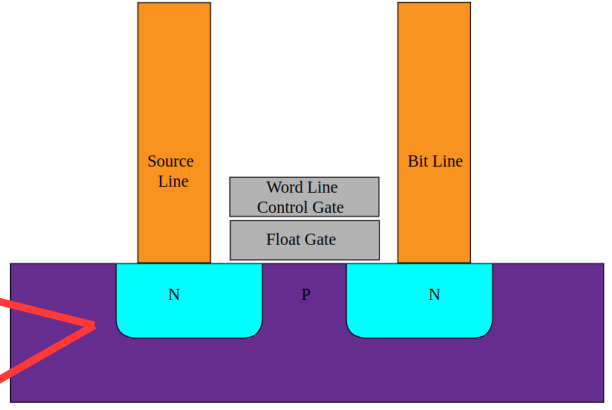
pojawiają się grupy niezależnych banków

Stallings, *Organizacja i architektura...*

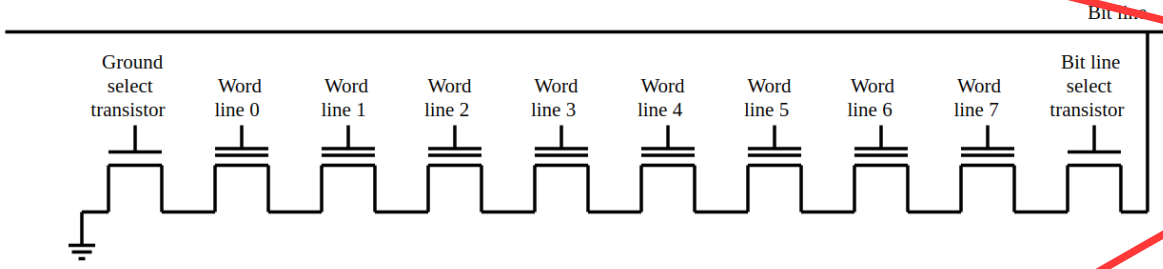
Flash: NOR/NAND

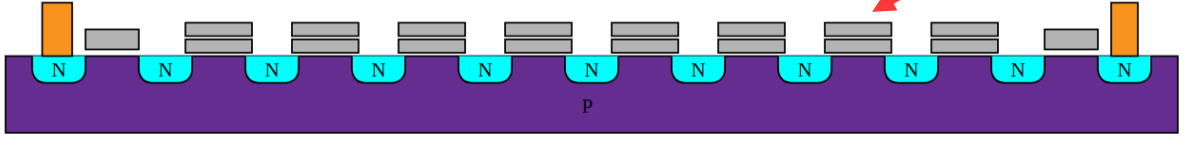






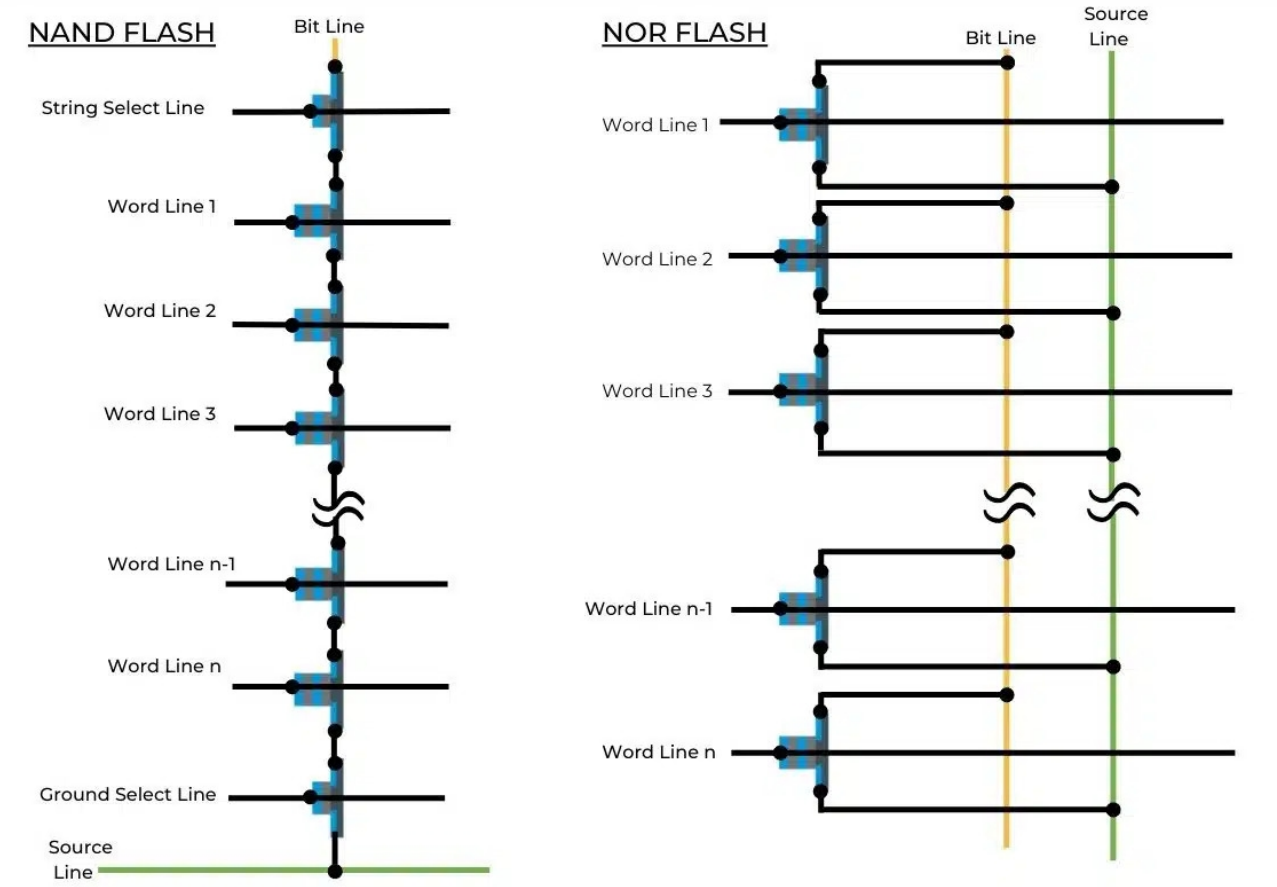
MOSFET
z pływającą bramka





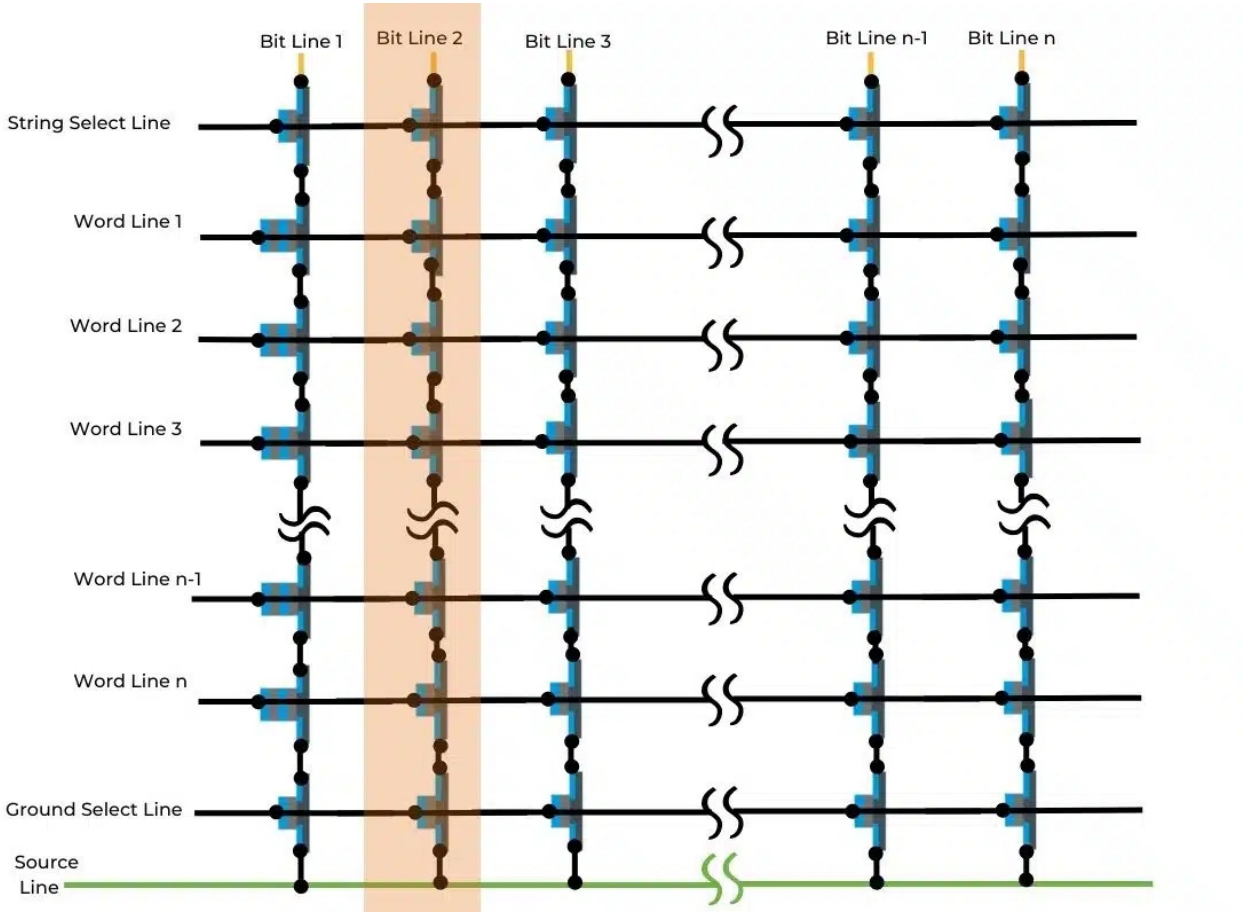
Cyferz, Wikipedia

Pamięć flash



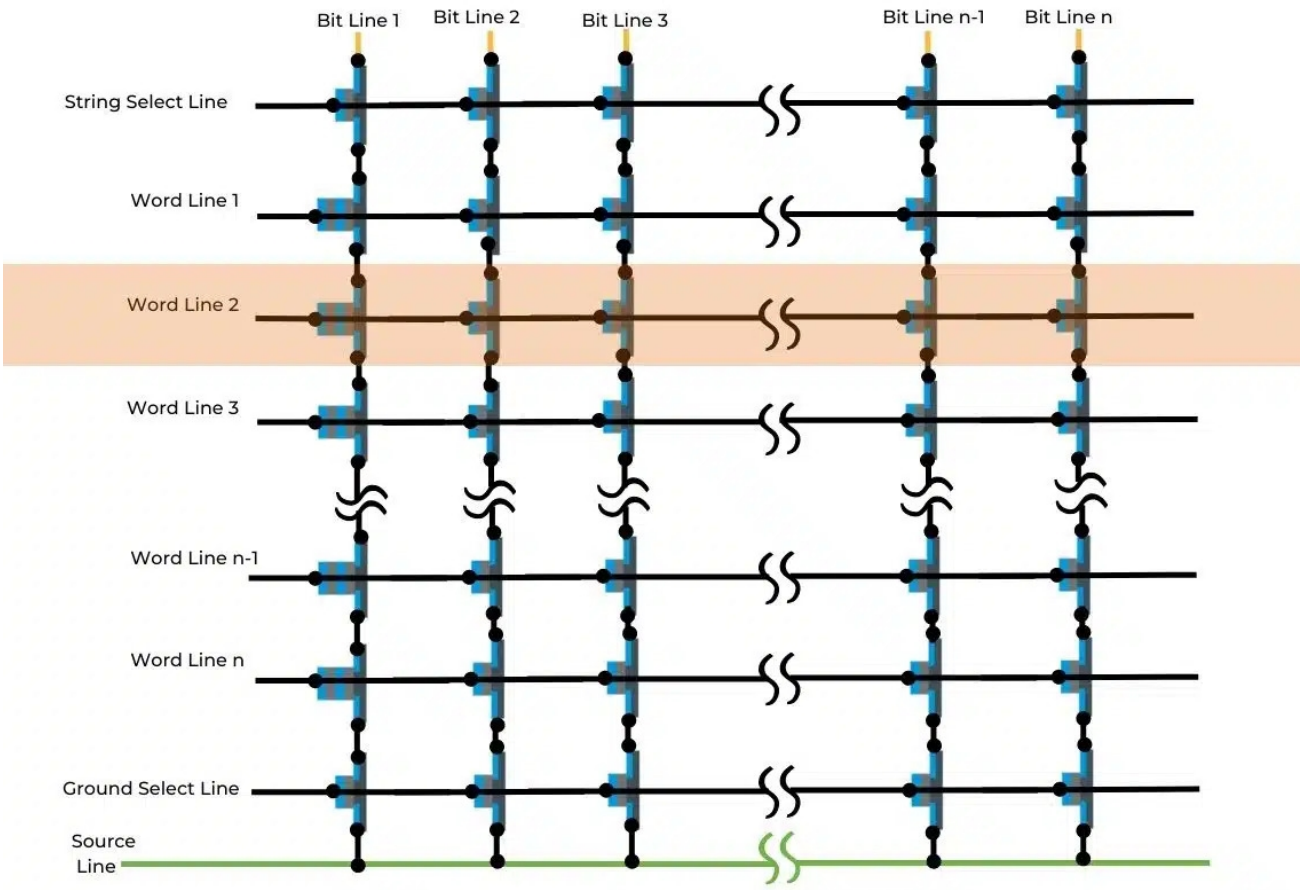
https://nexusindustrialmemory.com/guides/what-is-nand-memory/

Pamięć flash



https://nexusindustrialmemory.com/guides/what-is-nand-memory/

Pamięć flash



https://nexusindustrialmemory.com/guides/what-is-nand-memory/

	NOR	NAND
Gęstość/upakowanie	mniej	więcej
Czas odczytu	szybciej	wolniej
Moc przy odczycie	niższa	wyższa
Czas zapisu/kasowania	wolniej	szybciej
Moc przy zapisie/kasowaniu	wyższa	niższa
Moc bezczynności	niższa	wyższa
Żywotność	większa	mniejsza
Dostęp	losowy, bity	blokowy
Koszt/MB	wyższy	niższy
Zastosowanie	pamięć uP, wbudowane	pamięć masowa, SSD